

540135 -- Patent Information

Patent 540135
Number

Title **Method of forming shallow trench isolation region forming shallow trench
isolation region with high depth-width aspect ratio**

Patent B
type

Date of 2003/7/1
Grant

Application 091108471
Number

Filing Date 2002/4/24

IPC H01L21/76

Inventor **HO, TZU-EN(TW)**
WU, CHANG-RONG(TW)
HO, HISN-JUNG(TW)

Applicant	Name	Country	Individual/Company
	NAN YA TECHNOLOGY CORPORATION	TW	Company

Abstract A kind of method for manufacturing a shallow trench isolation region is provided in the present invention. The invention includes the following steps: providing a semiconductor substrate, in which a trench is formed on its surface; loading the substrate into a reaction chamber to form the first insulation layer on the substrate surface such that part of the insulation layer fills into the trench through the use of high density plasma chemical vapor phase deposition method; using carbon fluoride to conduct in-situ etching in the reaction chamber for removing most of the first insulation layer outside the trench; and using high density plasma chemical vapor phase deposition method to form the second insulation layer for covering surface of the first insulation layer so as to fill up the trench having no gap. According to the invention, shallow trench isolation region with high depth-width aspect ratio and no pore can be formed.

Last Update : 2005/5/2|



申請日期: 91.4.24	案號: 91108471
類別: 91108471	

(以上各欄由本局填註)

公告本發明專利說明書		540135
一、發明名稱	中文	形成光學槽帶區之方法
	英文	
二、發明人	姓名 (中文)	1. 何慈恩 2. 吳昌榮 3. 何欣戎
	姓名 (英文)	1. Tzu En-Ho 2. Chang Rong Wu 3. Ho, Hisn-Jung
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 宜蘭縣礁溪鄉德陽村奇立丹路76巷3號 2. 台北縣板橋市民生路三段10號24樓之1 3. 台北縣汐止市和平街36巷2-1號11F
三、申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人姓名 (中文)	1. 連日昌
	代表人姓名 (英文)	1.



40135

四、中文發明摘要 (發明之名稱：形成淺溝槽隔離區之方法)

本發明提供一淺溝槽隔離區的製作方法，其包括下列步驟：提供一半導體基底，其表面上形成一溝槽；將基底置於一反應室中，以高密度電漿化學氣相沈積法，於基底表面形成一第一絕緣層，且部分填入該溝槽；於該反應室中，以氟化碳氣體進行原位蝕刻，以去除該溝槽外上大部分之第一絕緣層；以及再以高密度電漿化學氣相沈積法，形成一第二絕緣層覆蓋在該第一絕緣層表面上，使溝槽填滿而無空隙。依照本發明方法，可以形成具有高深寬比且無孔洞的淺溝槽隔離區。

英文發明摘要 (發明之名稱：)



540135

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

40135

五、發明說明 (1)

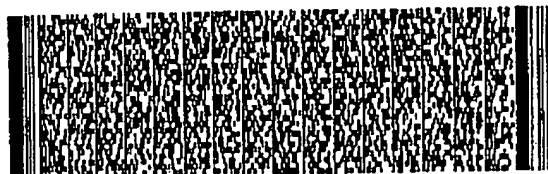
技術領域

本發明係有關於半導體積體電路的製造，特別是有關於一種用於高深寬比之淺溝槽隔離區(shallow trench isolation)的製作方法。

背景技術

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已由次微米(sub-micron)進入了四分之一微米(quarter-micron)甚或更細微尺寸的範圍。而無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須有適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術(device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法(LOCOS)和淺溝槽隔離區(shallow trench isolation)製程是最常被採用的兩種技術，尤其後者具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。傳統上，係先利用化學氣相沈積(CVD)程序，形成一介電層以填入基底的溝槽中，之後再回蝕刻(etch back)去除表面多餘的介電層，以完成溝槽隔離區製程。但隨著積體電路密度不斷提高而元件尺寸日漸縮小的發展，上述



40135

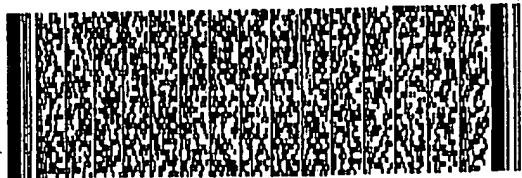
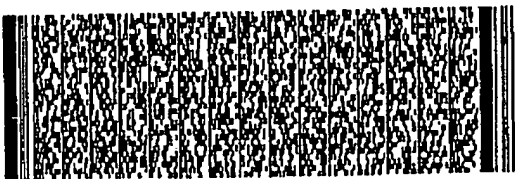
五、發明說明 (2)

習知之沈積技術因步階覆蓋能力(step coverage)的問題，並不易將介電層完全填滿溝槽，導致元件的隔離效果受到影響。

高密度電漿化學氣相沈積(HDPCVD)程序由於具有極佳的溝槽填充(gap-filling)能力，因此非常適合用來製作細微的半導體元件淺溝槽隔離區，然而其沈積之氧化層具有獨特的表面構形(topography)，必須藉化學性機械研磨程序(CMP)來進行平坦化處理。

目前在業界的製程中，為了提昇溝槽之沈積技術的步階覆蓋能力，通常都使用高密度電漿化學氣相沈積，為了進一步說明該技術內容，以下請參照第1A至1B圖，說明其製程流程。

如第1A圖所示者，在一半導體基底10表面上形成一遮蔽層，例如於一矽晶圓表面上，以化學氣相沈積法(CVD)或熱氧化成長法形成一厚度介於50 Å至200 Å的墊氧化層(pad oxide layer)11。然後，在墊氧化層11表面上，以CVD程序沈積一厚度介於1200 Å至1700 Å的氮化矽層12，二者共同構成遮蔽層。接著，以微影成像(photolithography)和蝕刻程序，定義出氮化矽層12和墊氧化層11的圖案，用以露出半導體基底10欲形成元件隔離區的部分。利用上述遮蔽層的圖案當作罩幕，施行一蝕刻程序而在半導體基底中形成一溝槽以露出半導體基底10欲形成元件隔離區的部分，其深度介於5000 Å至6000 Å之間。



540135

五、發明說明 (3)

其次，請參照第1B圖，以熱氧化程序(thermal oxidation)成長一薄氧化層14，覆蓋在溝槽底面及側壁上，用以當作襯裡(liner)，其厚度約為180 Å-220 Å。之後，於上述遮蔽層與薄氧化層14表面順應性地形成一薄氮化矽層16，亦為當作襯裡。接著，施行高密度電漿化學氣相沈積程序，例如使用 O_2 和 SiH_4 當作反應物，同時施以Ar電漿濺擊而沈積一作為絕緣層之二氧化矽層18，並填滿溝槽，得到如第1B圖之構造。其中，由於溝槽分布的密度不同，加上HDPCVD技術的特性，使得所沈積之氧化層18形成如圖中所示高低起伏的構造。

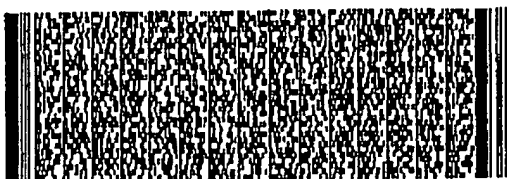
目前在高深寬比之淺溝槽隔離區的製程上，習知技術可能造成的缺點可參照第1C和1D圖。

如第1C圖顯示，當溝槽的開口寬度越小且/或深寬比越大時，例如當該溝槽開口寬度小於 $0.15\ \mu m$ 且/或深寬比大於3時，則目前的高密度電漿化學氣相沈積程序所沈積的氧化層18就很容易有孔洞20發生，而影響淺溝槽隔離區的絕緣特性。

此外，如第1D圖顯示，在高密度電漿化學氣相沈積程序中，Ar濺擊的過程也可能有擊落的碎片21殘留於溝槽中，也很容易產生孔洞。

發明概述

有鑑於此，本發明之目的係提供一種半導體元件淺溝槽隔離區的改良製程，其可改善絕緣層填入溝槽的能力，提昇隔離元件的性質。



640135

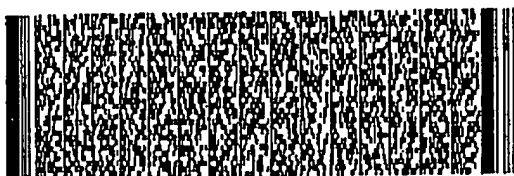
五、發明說明 (4)

為了達成上述目的，本發明提出一種淺溝槽隔離區之製作方法，其步驟包括：提供一半導體基底，其表面上形成一溝槽；將基底置於一反應室中，以高密度電漿化學氣相沈積法，於上述基底表面形成一第一絕緣層，且部分填入上述溝槽；於上述反應室中，以氟化碳氣體進行原位蝕刻，以去除上述溝槽外大部分之第一絕緣層；以及再以高密度電漿化學氣相沈積法，形成一第二絕緣層覆蓋在上述第一絕緣層表面上，使溝槽填滿而無空隙。藉由高密度電漿化學氣相沈積法併用原位蝕刻法以形成元件隔離區絕緣層，可避免淺溝槽隔離區中發生孔洞的缺點。

根據本發明之一種淺溝槽隔離區製作方法的較佳實施例，其中上述高密度電漿化學氣相沈積程序係使用氧氣(O_2)和矽甲烷(SiH_4)當作反應物，並施以Ar電漿濺擊(sputter)以沈積第一氧化層。而原位蝕刻係採用氟化碳氣體，該類氣體具有對於二氧化矽與氮化矽的高選擇比，可以控制蝕刻對於溝槽外之基底上、溝槽側壁以及溝槽底面的沈積等不同厚度的二氧化矽層。

實施例

首先，如第2A圖所示者，在一半導體基底100，例如是一矽晶圓表面上，以CVD程序或熱氧化成長程序形成一厚度介於50 Å和200 Å的墊氧化層101。然後，在墊氧化層101表面上，以CVD程序沈積一厚度介於500 Å和2000 Å的氮化矽層102，二者共同構成一遮蔽層。接著，以微影成像(photolithography)和蝕刻程序，定義出氮化矽層102



40135

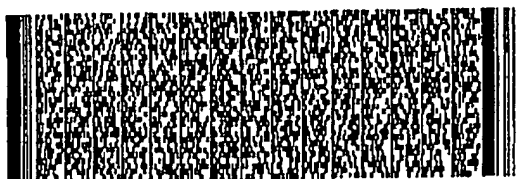
五、發明說明 (5)

和墊氧化層101的圖案，用以露出半導體基底100欲形成元件隔離區的部分。利用上述遮蔽層的圖案當作罩幕，施行一蝕刻程序而在半導體基底中形成一溝槽，其深度介於5000 Å至6000 Å之間。然後，以熱氧化程序(thermal oxidation)成長一薄氧化層104，覆蓋在溝槽底面及側壁上，用以當作襯裡(liner)，其厚度約為180 Å~220 Å。之後，於上述遮蔽層與薄氧化層104表面順應性地形成一薄氮化矽層106，亦為當作襯裡。

接著，請參照第2B圖，進行本發明第一次高密度化學氣相沈積程序，將基底置於一反應室中，以高密度化學氣相沈積法，例如使用氧氣(O_2)和矽甲烷(SiH_4)當作反應物，同時施以Ar電漿濺擊，於薄氮化矽層表面沈積第一絕緣層108a，例如二氧化矽層，其厚度為介於2500 Å~3500 Å，通常約為3000 Å，並由於高密度電漿化學氣相沈積法之特性，使溝槽側壁成傾斜狀。

然後，請參見第2C圖，於同一反應室中，以氟化碳氣體進行原位蝕刻，例如以 C_5F_8 氣體進行蝕刻，以去除該遮蔽層上方過多的沈積。採用氟化碳氣體蝕刻的優點是該氣體具有高選擇比，對於二氧化矽與氮化矽之蝕刻比約為40:1，可以控制蝕刻時對於溝槽外表面HDP/側壁HDP/底面HDP之蝕刻情形。

再者，請參見第2D圖，仍然在同一反應室，進行第二次的高密度化學氣相沈積程序，藉此在第一絕緣層108a表面上形成一第二絕緣層108b，亦為二氧化矽層，其厚度介



540135

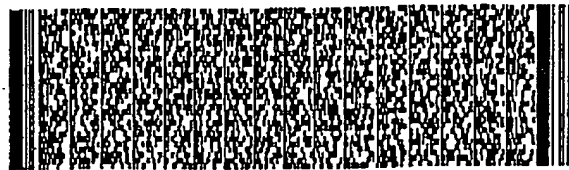
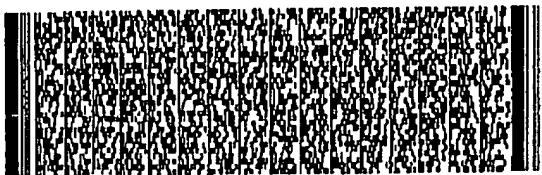
五、發明說明 (6)

於2500 Å~3500 Å，通常約為3000 Å。第二絕緣層108b與第一絕緣層108a共同形成一絕緣層108。如此將可防止孔洞在溝槽中產生的缺點。

接著，請參見第2E圖，施行一化學性機械研磨程序，磨除第二絕緣層108b和第一絕緣層108a高出氮化矽層表面的部分，留下二者填在溝槽中的部分，即形成所需之淺溝槽隔離區。之後，可以適當溶劑或蝕刻程序，依序去除氮化矽層102和墊氧化層101而露出元件區，由於其非本發明重點，在此不予贅述。

與習知技術相比較，本發明之淺溝槽隔離區製作方法具有數項優點。首先，本發明方法避免了高深寬比之淺溝槽隔離區製程上可能發生的孔洞缺陷。其次，本發明係採用高密度電漿化學氣相沈積程序併用原位蝕刻程序，不僅可以解決上述缺點，也不會增加太多處理時間。此外，本發明採用的蝕刻氣體具有高選擇比，可以控制蝕刻時對於溝槽外表面HDP/側壁HDP/底面HDP之蝕刻情形，因而使得溝槽以外部分過多的二氧化矽層得以去除。綜上所述，依照本發明方法，可以形成具有高深寬比且無孔洞的淺溝槽隔離區，將有助於提昇淺溝槽隔離區的性質。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



540135

索號 91108471

修正頁
補充

修正頁

圖式簡單說明

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1A至1D圖均為剖面圖，其中第1A圖和第1B圖繪示習知應用高密度電漿化學氣相沈積技術形成淺溝槽隔離區之製程，其中第1C圖和1D圖為習知形成高深寬比之淺溝槽隔離區的缺點示意圖；以及

第2A至2E圖為一系列剖面圖，繪示根據本發明改良方法一較佳實施例的製造流程。

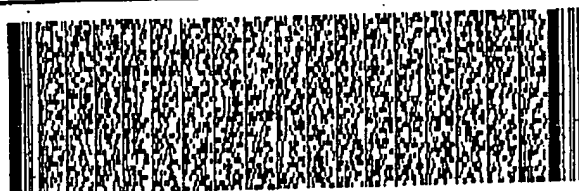
圖式之符號說明

習知部分(第1A至1D圖)：

- | | |
|-----------|-----------|
| 10~矽基底； | 11~墊氧化層； |
| 12~氮化矽層； | 14~薄氧化層； |
| 16~薄氮化矽層； | 18~二氧化矽層； |
| 20~孔洞； | 21~碎片。 |

本案實施例部分(第2A至2E圖)：

- | | |
|------------------------|-----------|
| 100~矽基底； | 101~墊氧化層； |
| 102~氮化矽層； | 104~薄氧化層； |
| 106~薄氮化矽層； | 108~絕緣層； |
| 108a~第一絕緣層；108b~第二絕緣層。 | |



540135

六、申請專利範圍

1. 一種形成淺溝槽隔離區之方法，包括下列步驟：

(a) 提供一半導體基底，其表面上形成一溝槽；

(b) 將該基底置於一反應室中，以高密度電漿化學氣相沈積法，於基底表面形成一第一絕緣層，且部分填入該溝槽；

(c) 於該反應室中，以氟化碳氣體進行原位蝕刻，以去除該溝槽外大部分之第一絕緣層；以及

(d) 再以高密度電漿化學氣相沈積法，形成一第二絕緣層覆蓋在該第一絕緣層表面上，使溝槽填滿而無空隙。

2. 如申請專利範圍第1項所述之形成淺溝槽隔離區之方法，其中步驟(a)更包括：

提供一半導體基底，其表面上形成一遮蔽層，

於該遮蔽層定義一圖案，

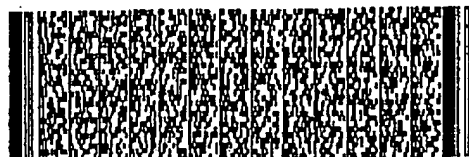
以該圖案作為罩幕，於半導體基底中蝕刻形成一溝槽，以露出半導體基底，

以熱氧化程序成長一薄氧化層，覆蓋在溝槽底面及側壁上，以及

於上述遮蔽層與薄氧化層表面順應性地形成一薄氮化矽層。

3. 如申請專利範圍第2項所述之形成淺溝槽隔離區之方法，其中該遮蔽層由該基底向上分為一氧化層與一氮化矽層。

4. 如申請專利範圍第1項所述之形成淺溝槽隔離區之方法，其中該溝槽之深寬比大於3。



540135

六、申請專利範圍

5. 如申請專利範圍第1項所述之形成淺溝槽隔離區之方法，其中步驟(b)之高密度電漿化學氣相沈積係使用氧氣和矽甲烷當作反應物，同時進行Ar之濺擊，以沈積該第一絕緣層。
6. 如申請專利範圍第5項所述之形成淺溝槽隔離區之方法，其中該第一絕緣層係二氧化矽層。
7. 如申請專利範圍第6項所述之形成淺溝槽隔離區之方法，其中該第一絕緣層之厚度介於2500~3500埃。
8. 如申請專利範圍第7項所述之形成淺溝槽隔離區之方法，其中該第一絕緣層之厚度約為3000埃。
9. 如申請專利範圍第1項所述之形成淺溝槽隔離區之方法，其中步驟(c)之氟化碳氣體包括 C_5F_8 。
10. 如申請專利範圍第1項所述之形成淺溝槽隔離區之方法，其中步驟(d)之高密度電漿化學氣相沈積係使用氧氣(O_2)和矽甲烷(SiH_4)當作反應物，以沈積該第二絕緣層。
11. 如申請專利範圍第10項所述之形成淺溝槽隔離區之方法，其中該第二絕緣層係氧化層。
12. 如申請專利範圍第11項所述之形成淺溝槽隔離區之方法，其中該第二絕緣層之厚度介於2500~3500埃。
13. 如申請專利範圍第12項所述之形成淺溝槽隔離區之方法，其中該第二絕緣層之厚度約為3000埃。
14. 如申請專利範圍第2項所述之形成淺溝槽隔離區之方法，其中步驟(d)之後更包括一平坦化該絕緣層與該遮



540135

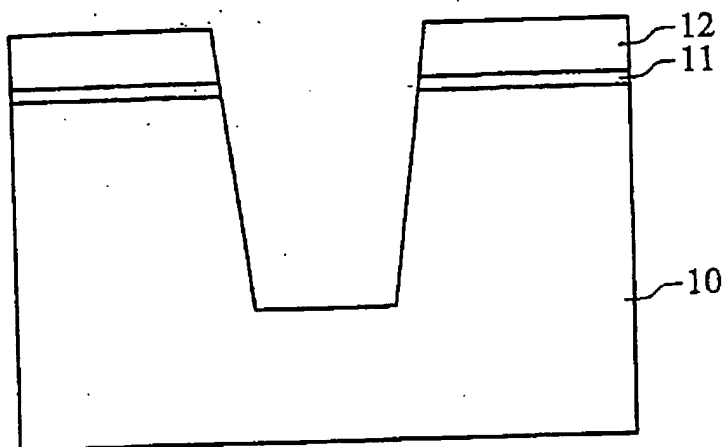
六、申請專利範圍

蔽層，使絕緣層之高度與該遮蔽層等高的步驟。

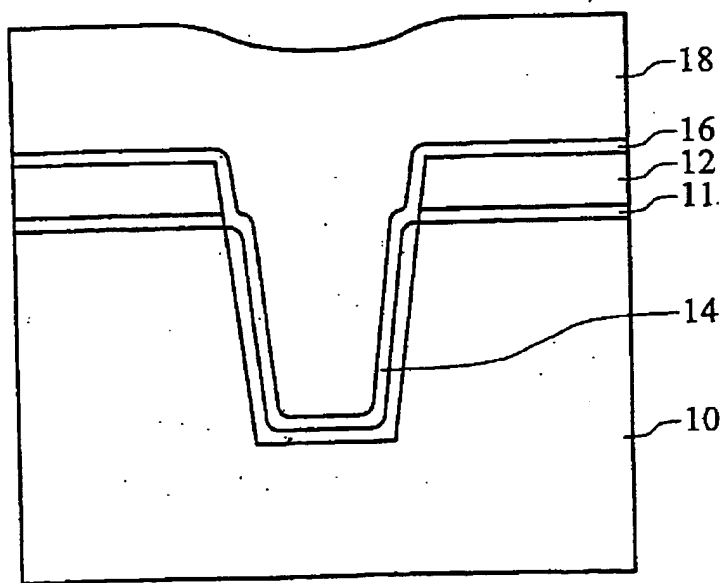
15. 如申請專利範圍第14項所述之形成淺溝槽隔離區之方法，其中係以化學機械研磨法進行平坦化。



540135

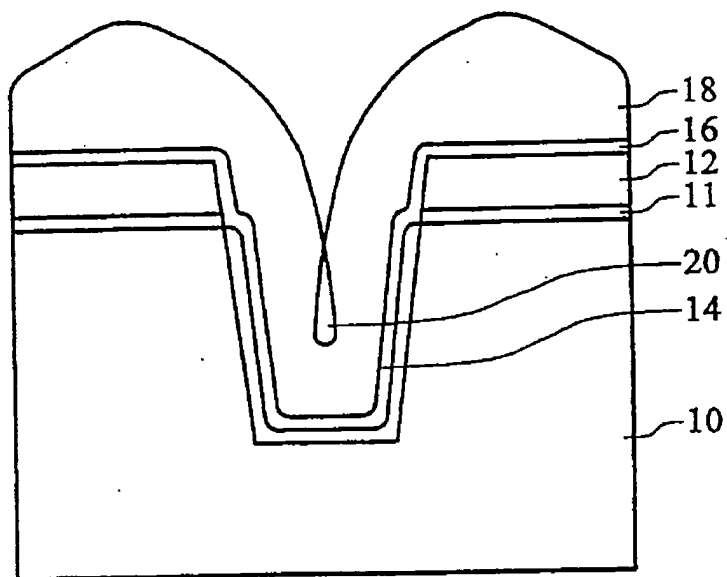


第 1A 圖

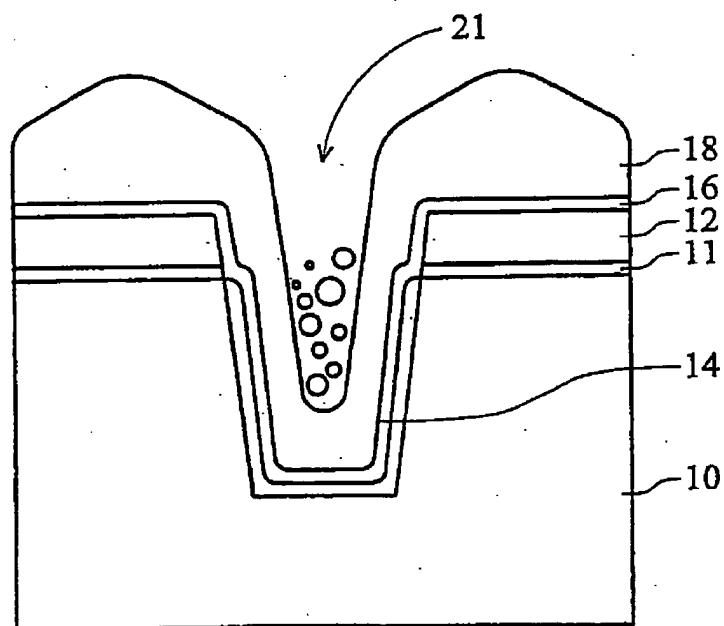


第 1B 圖

540135

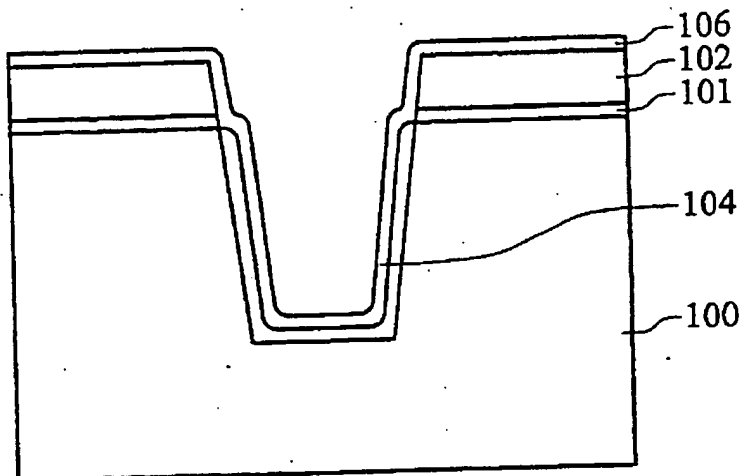


第 1C 圖

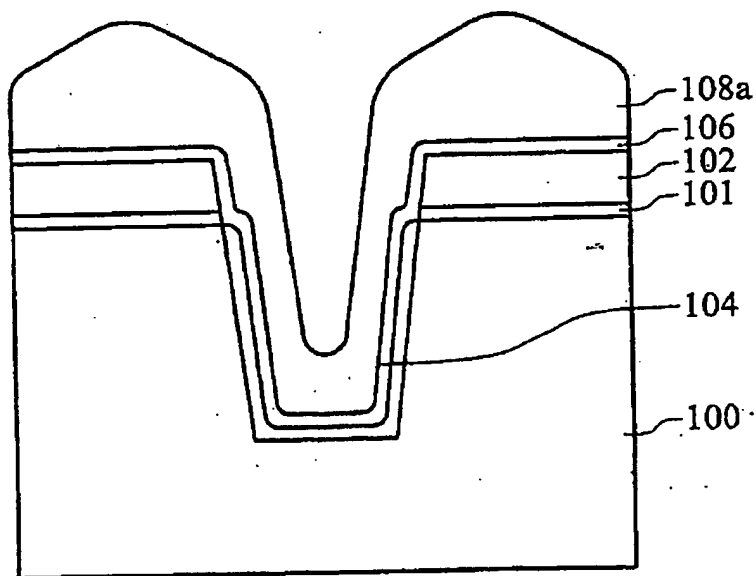


第 1D 圖

540135

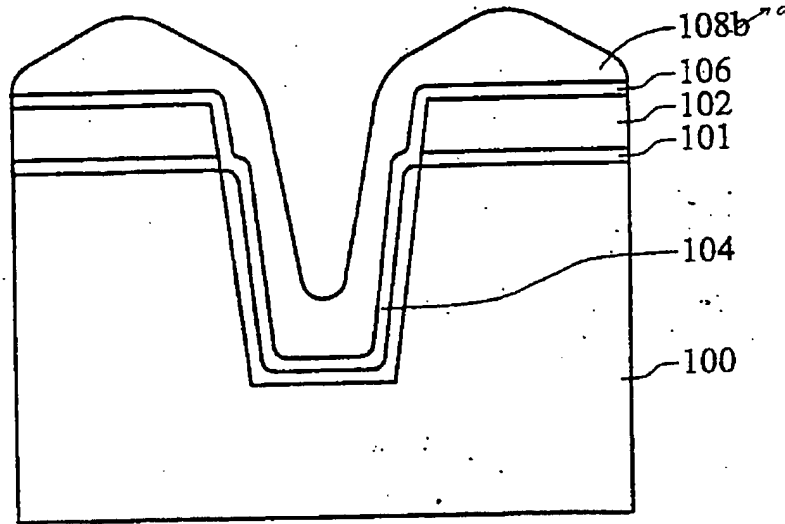


第2A圖

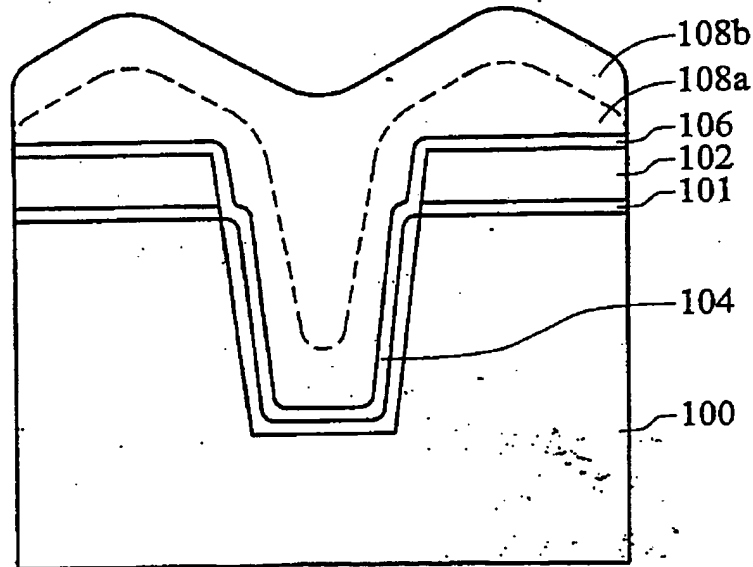


第2B圖

540135

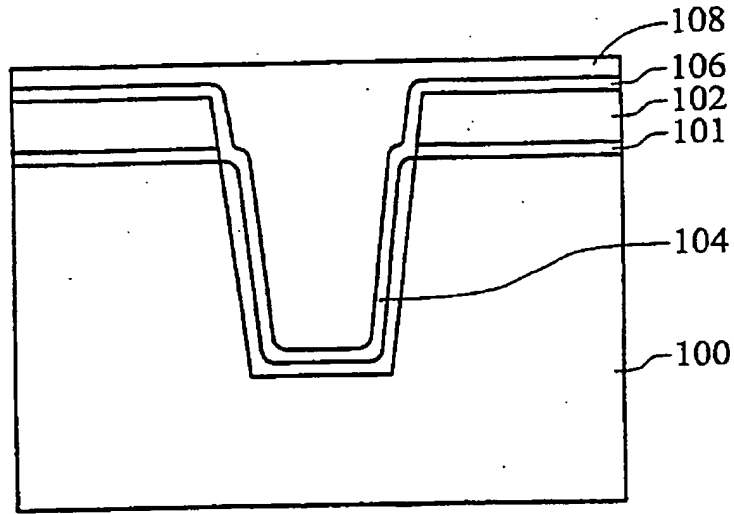


第 2C 圖



第 2D 圖

540135



第2E圖